

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **03297146 A**(43) Date of publication of application: **27.12.91**

(51) Int. Cl. **H01L 21/336**
H01L 21/31
H01L 29/784

(21) Application number: **02099208**(71) Applicant: **OKI ELECTRIC IND CO LTD**(22) Date of filing: **17.04.90**(72) Inventor: **TAKAHASHI EIZABURO**

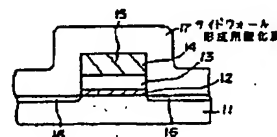
(54) **MANUFACTURE OF SEMICONDUCTOR
ELEMENT**

COPYRIGHT: (C)1991,JPO&Japio

(57) Abstract:

PURPOSE: To form a sidewall of high quality by forming an oxide film at a specific flow rate of O_3 /TEOS by a chemical vapor growing method for reacting tetraethoxysilane TEOS with ozone O_3 under normal pressure.

CONSTITUTION: A gate oxide film 12, a polycrystalline silicon film 13 and a tungsten silicide film 14 are laminated on a substrate 11 to form a gate electrode 15. Then, a sidewall forming oxide film 17 is deposited on the entire surface of the substrate 1 by using a chemical vapor growing method for reacting tetraethoxysilane TEOS with ozone O_3 under normal pressure. In this case, the flow rate ratio of the O_3 /TEOS is set to 6 or less to avoid deterioration of a covering shape of the film 17 generated according to the base dependency of a depositing speed observed if the flow rate ratio is high. Thus, the sidewall forming oxide film can be formed in uniform thickness and width to manufacture a high accuracy transistor.



BEST AVAILABLE COPY

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-297146

⑬ Int. Cl.⁹

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)12月27日

H 01 L 21/336
21/31
29/7848422-4M
6940-5FH 01 L 29/78
21/943 0 1 L
Z

審査請求 未請求 請求項の数 2 (全6頁)

⑮ 発明の名称 半導体素子の製造方法

⑯ 特 願 平2-99208

⑰ 出 願 平2(1990)4月17日

⑱ 発 明 者 高 橋 英 三 郎 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
 ⑲ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
 ⑳ 代 理 人 弁理士 菊 池 弘

明 細 書

1. 発 明 の 名 称

半導体素子の製造方法

2. 特 許 請 求 の 範 囲

(1) 半導体基板上にパターンを形成し、そのパターン上を含む前記基板上の全面に酸化膜を形成し、この酸化膜を異方性エッチングでエッチングすることにより、前記パターンの側壁に酸化膜のサイドウォールを形成するようにした半導体素子の製造方法において、

テトラエトキシシラン(TEOS)とオゾン(O₃)とを常圧で反応させる化学気相成長法により、しかもO₃/TEOSの質量比を6以下にして反応させることにより、前記サイドウォール形成用の酸化膜を基板上の全面に形成することを特徴とする半導体素子の製造方法。

(2) 半導体基板上にパターンを形成し、そのパターン上を含む前記基板上の全面に酸化膜を形成し、この酸化膜を異方性エッチングでエッチングすることにより、前記パターンの側壁に酸化膜のサイ

ドウォールを形成するようにした半導体素子の製造方法において、

前記サイドウォール形成用酸化膜を形成する前に、その下地層として1種類の膜を基板上の全面に形成し、その上に、テトラエトキシシランとオゾンとを常圧で反応させる化学気相成長法によりサイドウォール形成用酸化膜を形成することを特徴とする半導体素子の製造方法。

3. 発 明 の 詳 細 な 説 明

(産業上の利用分野)

この発明は半導体素子の製造方法に係り、特に半導体基板上のパターンの側壁に酸化膜のサイドウォールを形成する方法に関する。

(従来の技術)

サイドウォールを利用してLDD構造トランジスタを作成することが行われている。そこで、従来のサイドウォール形成法として、従来のLDD構造トランジスタ製造方法を第3図を参照して説明する。

まず第3図(a)に示すように、単結晶シリコン基

板1に素子分離酸化膜形成後、ゲート酸化膜2を形成する。

次に基板1上の全面に第3図(b)に示すように多結晶シリコン膜3を堆積させ、それに不純物をドーピングする。さらにその上にタングステンシリサイド膜4を形成する。

その後、その2層膜をR I E法でパターニングすることにより2層構造のゲート電極5を形成する。この時同時にゲート酸化膜2もゲート電極と同一パターンにエッチングする。

次に、ゲート電極5をマスクとして第3図(c)に示すように P^+ をシリコン基板1にイオン注入することにより、基板1内に低濃度不純物注入層6を形成する。

その後、 $SiH_4 + O_2$ による化学気相成長法で第3図(d)に示すように基板1上の全面にNSG(ノンドープシリケートガラス)酸化膜7と3000Å程度堆積させる。

その後、このNSG酸化膜7をR I E法による異方性エッチングでエッチングすることにより、

膜の被覆形状にも悪影響を与える問題点があった。

さらに、微細化に伴ってゲート電極5間の距離が接近してくると、NSG酸化膜7の堆積膜厚に段差疎密の依存性がでてきて、サイドウォール7aの幅にバラツキが生じてしまうという問題点があった。

この発明は、以上述べたサイドウォール形成用酸化膜の段差被覆性の悪さからくるサイドウォール形状の悪さ、サイドウォール幅のバラツキを解決し、良好な形状で、幅の均一性も良い良質のサイドウォールを形成できる半導体素子の製造方法を提供することを目的とする。

(課題を解決するための手段)

この発明、特に第1のこの発明は、サイドウォールを形成するパターンを有する半導体基板の全面に酸化膜を形成し、この酸化膜をエッチングすることにより、前記パターンの側壁に酸化膜のサイドウォールを形成する半導体素子の製造方法において、テトラエトキシシラン(TEOS)とオゾン(O_3)とを常圧で反応させる化学気相成長法に

第3図(f)に示すようにゲート電極5の側壁に酸化膜のサイドウォール7aを形成する。

その後、そのサイドウォール7aとゲート電極5をマスクとして第3図(g)に示すように P^+ をシリコン基板1にイオン注入することにより、基板1内に高濃度不純物注入層8を形成する。

しかる後、900~1000℃で熱処理を行って前記注入層6、8の不純物を活性化させ、かつ再拡散させることにより、第3図(h)に示すように n^+ 層6'、 n^+ 層8'を形成し、LDD構造のソース・ドレインを完成させる。

(発明が解決しようとする課題)

しかしながら、以上の従来の製造方法では、 $SiH_4 + O_2$ による化学気相成長法でのNSG酸化膜7でサイドウォール7aを形成するわけであるが、そのNSG酸化膜7が堆積時に第3図(c)に示すようにゲート電極部でオーバーハング形状となり、一部が薄くなるので、エッチング後のサイドウォール7aの形状が第3図(f)に示すように悪くなり、その上に第3図(h)の次工程で堆積される層間絶縁

より、しかも $O_3/TEOS$ の流量比を6以下にして反応させることにより、前記サイドウォール形成用の酸化膜を基板上の全面に形成するものである。

第2のこの発明は、前記 $O_3/TEOS$ の流量比を6以下にする代わりに、前記酸化膜の形成前に、その下地層として1種類の膜を基板上の全面に形成し、その上に、テトラエトキシシランとオゾンとを常圧で反応させる化学気相成長法によりサイドウォール形成用酸化膜を形成するものである。

(作用)

上記この発明においては、TEOSと O_3 とを常圧で反応させる化学気相成長法により、サイドウォール形成用酸化膜を形成する。しかもその際に、第1のこの発明では、 $O_3/TEOS$ の流量比を6以下にすることにより、流量比が高い場合にみられる堆積速度の下地依存性から生じる被覆形状の悪化を避ける。同様に第2のこの発明では、 $O_3/TEOS$ の流量比を6以下にする代わりに、酸化膜形成前に、その下地層として1種類の膜を基板

特開平3-297146(3)

上の全面に形成しておくことにより、下地による堆積速度の違いから生じる被覆形状の悪化を避ける。これらによりこの発明によれば、サイドウォールを形成するパターンを有する半導体基板上の全面に、特に段差となる前記パターン部において、サイドウォール形成用酸化膜を均一な厚さに形成できる。したがって、この酸化膜をエッチングすれば、前記パターンの側壁に良好な形状で、かつ均一な幅でサイドウォールが形成されることになる。

さらに、1種類の膜を下地層として形成して、下地による堆積速度の違いから生じる被覆形状の悪化を避ける方法によれば、酸化膜形成時に $O_2/TEOS$ 流量比を高めて、密度が高く吸湿性が少なく、かつ $TEOS$ の未反応基などの少ない良質の酸化膜を形成できることになる。さらに、このような良質の酸化膜を被覆性良く形成できることになる。

(実施例)

以下この発明の実施例を図面を参照して説明す

その後、テトラエトキシシラン(英語名テトラエチルオルソシリケート(Tetraethylortho-silicate)、 $TEOS$ と略称される)とオゾン O_3 とを常圧で反応させる化学気相成長法により第1図(a)に示すように基板11上の全面にサイドウォール形成用酸化膜17を3000人程度堆積させる。この時、 $O_3/TEOS$ の流量比を6以下とすることにより、流量比が高い場合にみられる堆積速度の下地依存性から生じる酸化膜17の被覆形状の悪化を避ける。なお、この酸化膜17の形成法における一具体的条件を示せば下記の通りである。

膜形成基板温度	400℃
$TEOS$ バブリング室流量	2.5 SLM
$TEOS$ バブラー温度	65℃
O_3 流量(オゾン発生器によって 一部オゾンとなる)	7.5 SLM
オゾン発生量	1%

この条件にて $O_3/TEOS$ の流量比を計算すると、

る。実施例は、この発明をLDD構造トランジスタの製造に応用した場合である。勿論、この発明は他の素子形成にも応用できる。

第1図はこの発明の第1の実施例を示す図である。

まず第1図(a)に示すように、単結晶シリコン基板11に素子分離酸化膜形成後、ゲート酸化膜12を形成する。

次に基板11上の全面に第1図(b)に示すように多結晶シリコン膜13を堆積させ、それに不純物をドーピングする。さらにその上にタングステンジリサイド膜14を形成する。

その後、その2層膜をRIE法でパターンニングすることにより2層構造のゲート電極15を形成する。この時同時にゲート酸化膜12もゲート電極と同一パターンにエッチングする。

次に、ゲート電極15をマスクとして第1図(c)に示すように P^+ をシリコン基板11にイオン注入することにより、基板11内に低濃度不純物注入層16を形成する。

$$\begin{aligned} O_3/TEOS &= 7.5SLM \times 1X / (P_{a.o} \text{ 秒} / P_a) \\ &\times 2.5SLM \\ &= 7.5 \times 0.01 / (45\text{ torr} / 760\text{ torr}) \\ &\times 2.5) \\ &= 5.06 \end{aligned}$$

である。

ただし、 $P_{a.o}$ = バブラー内の $TEOS$ の飽和蒸気圧

P_a = 大気圧

である。

また、酸化膜17はノンドーブ酸化膜であるが、CVD法による堆積時、ガス中に不純物ガスを含めることにより、 P 、 B 、 As などの不純物を含むドーブ酸化膜とすることもできる。この点は後に説明する第2の実施例でも同様である。

次に、前記酸化膜17をRIE法による異方性エッチングでエッチングすることにより、第1図(d)に示すようにゲート電極15の側壁に酸化膜17のサイドウォール17aを形成する。

その後、そのサイドウォール17aとゲート

特開平3-297146(4)

電極15をマスクとして第1図(ハ)に示すように P^+AS^+ をシリコン基板11にイオン注入することにより、基板11内に高濃度不純物注入層18を形成する。

しかる後、900～1000℃で熱処理を行って前記注入層16、18の不純物を活性化させ、かつ再拡散させることにより、第1図(ハ)に示すように n^+ 層16'、 n^+ 層18'を形成し、LDD構造のソース・ドレインを完成させる。

第2図はこの発明の第2の実施例を示す。この第2の実施例では、0.1/TEOSの流量比を6以下にする代わりに、サイドウォール形成用酸化膜形成前に、その下地層として1種類の膜(窒化膜)を基板11の全面に形成しておくことにより、下地による堆積速度の違いから生じる前記サイドウォール形成用酸化膜の被覆形状の悪化を避ける。

この第2の実施例では、第2図(カ)～(ケ)に示すように低濃度不純物注入層16の形成工程まで、第1図の第1の実施例と同一工程を進める。そこで、この工程までは説明を省略する。

以上詳細に説明したように、この発明によれば、テトラエトキシシランTEOSとオゾン O_3 とを常圧で反応させる化学気相成長法によりサイドウォール形成用酸化膜を形成することとし、しかもその膜、0.1/TEOSの流量比を6以下にして、あるいは前記酸化膜形成前にその下地層として基板11の全面に1種類の膜を形成して、下地による堆積速度の違いから生じる被覆形状の悪化を避けることにより、サイドウォールを形成するパターンを有する半導体基板11の全面に、特に設整となる前記パターン部において、サイドウォール形成用酸化膜を均一な厚さに形成できる。したがって、この酸化膜をエッチングすることにより、前記パターンの側壁に良好な形成に、かつ均一な幅でサイドウォールを形成することができ、例えばLDD構造トランジスタを高精度で形成可能となる。

また、1種類の膜を下地層として形成して、下地による堆積速度の違いから生じる被覆形状の悪化を避ける方法によれば、酸化膜形成時に0.1/

低濃度不純物注入層16を形成したならば、次にゲート電極15を有する基板11上の全面にCVD法で第2図(カ)に示すように窒化膜19を100Å厚に形成する。そして、その上に、テトラエトキシシランとオゾンとを常圧で反応させる化学気相成長法により、第2図(カ)に示すようにサイドウォール形成用酸化膜17を形成する。

その後は再び第1図の第1の実施例と同一工程となり、第2図(ケ)に示すように酸化膜17をエッチングしてサイドウォール17aを形成し、イオン注入により高濃度不純物注入層18を形成し、その後熱処理を行って第2図(ケ)に示すように n^+ 層16'および n^+ 層18'を形成する。

なお、この第2の実施例では、サイドウォール形成用酸化膜17の下地層としてCVD法で窒化膜19を形成したが、窒化膜に代えてCVD法でシリコン酸化膜を形成したり、SOC膜や多結晶シリコン膜、あるいはスパッタ法による各種誘電膜を形成することもある。

(発明の効果)

TEOS流量比を高めることができるから、密度が高く、吸湿性が少なく、かつTEOSの未反応基などの少ない良質の酸化膜を形成でき、さらにはこのような良質の酸化膜を被覆性良く形成できることになる。

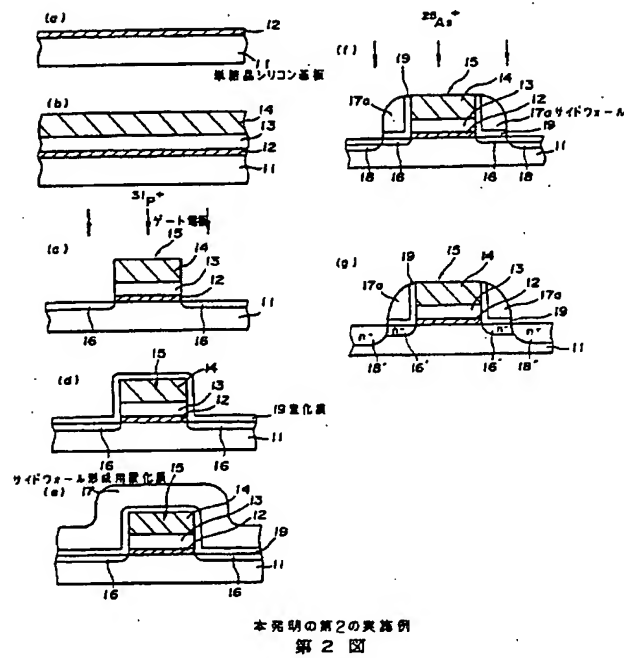
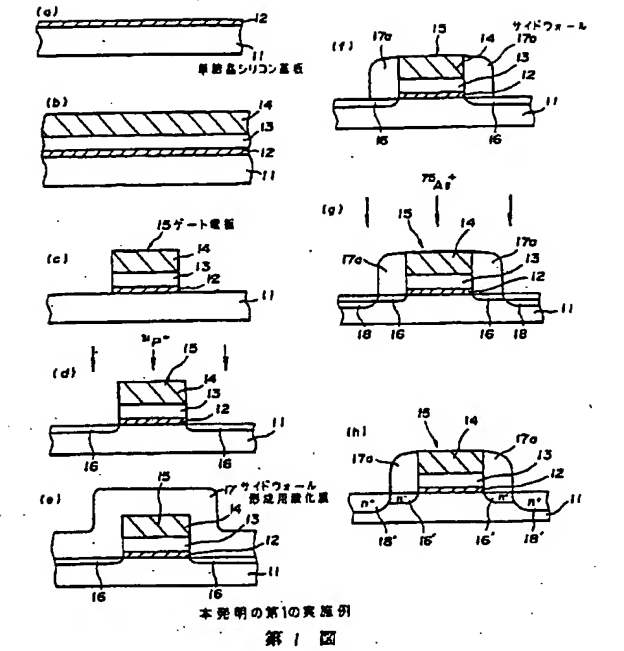
4. 図面の簡単な説明

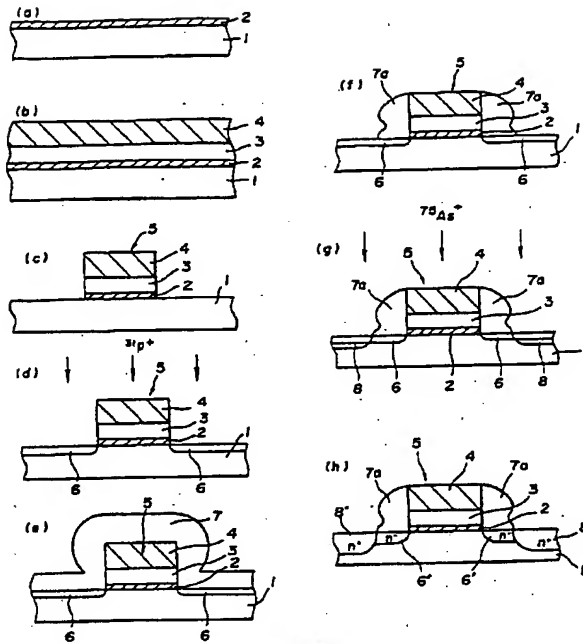
第1図はこの発明の半導体素子の製造方法の第1の実施例を示す工程断面図、第2図はこの発明の第2の実施例を示す工程断面図、第3図は従来のLDD構造トランジスタ製造方法を示す工程断面図である。

11…単結晶シリコン基板、15…ゲート電極、17…サイドウォール形成用酸化膜、17a…サイドウォール、19…窒化膜。

特許出願人 神電氣工業株式会社
代理人 弁理士 堀 池 弘







従来の製造方法
第3図

BEST AVAILABLE COPY